
UNIVERSITI SAINS MALAYSIA

Peperiksaan Semester Pertama

Sidang Akademik 2009/2010

November 2009

EEE 241 – ELEKTRONIK ANALOG I

Masa : 3 Jam

Sila pastikan bahawa kertas peperiksaan ini mengandungi LAPAN muka surat bercetak sebelum anda memulakan peperiksaan ini.

Kertas soalan ini mengandungi ENAM soalan.

Jawab **LIMA** soalan.

Mulakan jawapan anda untuk setiap soalan pada muka surat yang baru.

Agihan markah bagi setiap soalan diberikan di sudut sebelah kanan soalan berkenaan.

Jawab semua soalan dalam Bahasa Malaysia atau Bahasa Inggeris atau kombinasi kedua-duanya.

[Sekiranya terdapat sebarang percanggahan pada soalan peperiksaan, versi Bahasa Inggeris hendaklah diguna pakai].

1. (a) Buktikan bahawa frekuensi peralihan bagi satu BJT ialah

Prove that the transition frequency of a BJT is

$$f_T = 2 \frac{\mu_n}{2\pi W_B^2} V_T$$

dan bagi satu MOSFET ialah

and for a MOSFET is

$$f_T = 1.5 \frac{\mu_n}{2\pi L^2} (V_{GS} - V_t)$$

Komen tentang persamaan dan perbezaan kedua-dua persamaan ini. Peranti manakah yang selalunya mempunyai f_T yang lebih tinggi dan kenapa?

Comment on the similarity and difference between these two expressions. Which device is normally having a higher f_T and why? (50 marks)

- (b) Lakarkan litar setara isyarat kecil BJT dan kirakan nilai setiap elemen dalam litar tersebut pada $I_C = 0.2 \text{ mA}$, $V_{CB} = 3 \text{ V}$, $V_{CS} = 4 \text{ V}$. Parameter-parameter peranti adalah $C_{je0} = 20 \text{ fF}$, $C_{\mu0} = 10 \text{ fF}$, $C_{cs0} = 20 \text{ fF}$, $\beta_o = 100$, $\tau_F = 15 \text{ ps}$, $\eta = 10^{-3}$, $r_b = 200 \Omega$, $r_c = 100 \Omega$, $r_{ex} = 4 \Omega$, dan $r_\mu = 5\beta_o r_o$. Anggap bahawa keupayaan terbina dalaman dalam keadaan seimbang, ψ_o , ialah 0.55 V bagi semua simpang.

Sketch the complete small signal equivalent circuit for a bipolar transistor and calculate the value of each element at $I_C = 0.2 \text{ mA}$, $V_{CB} = 3 \text{ V}$, $V_{CS} = 4 \text{ V}$. Device parameters are $C_{je0} = 20 \text{ fF}$, $C_{\mu0} = 10 \text{ fF}$, $C_{cs0} = 20 \text{ fF}$, $\beta_o = 100$, $\tau_F = 15 \text{ ps}$, $\eta = 10^{-3}$, $r_b = 200 \Omega$, $r_c = 100 \Omega$, $r_{ex} = 4 \Omega$, and $r_\mu = 5\beta_o r_o$. Assume the built-in potential in equilibrium, ψ_o , is 0.55 V for all junctions.

(50 marks)

...3/-

2. (a) Kirakan gandaan voltan keseluruhan (v_o/v_i), rintangan masukan (R_i) dan rintangan keluaran (R_o) bagi satu penguat tapak-sepunya seperti yang ditunjukkan dalam Rajah 1. Diberikan : $\alpha_o = 1$, $\beta_F = 100$, $V_{BE} = 0.6 \text{ V}$, $V_A = 50 \text{ V}$ dan $V_T = 26 \text{ mV}$.

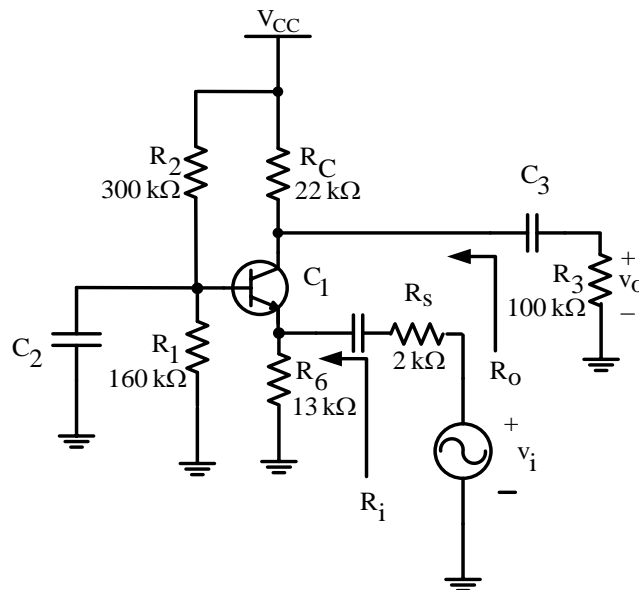
Calculate the overall voltage gain (v_o/v_i), input resistance (R_i) and output resistance (R_o) for the common-base amplifier shown in Figure 1. Given: $\alpha_o = 1$, $\beta_F = 100$, $V_{BE} = 0.6 \text{ V}$, $V_A = 50 \text{ V}$ and $V_T = 26 \text{ mV}$.

(70 marks)

- (b) Tunjukkan setiap langkah dalam menjanakan satu model-T daripada model hibrid- π satu konfigurasi penguat tapak-sepunya pada frekuensi rendah.

Show detailed steps on the generation of T-model from the hybrid- π model of the common-base amplifier configuration at low frequency.

(30 marks)



Rajah 1
Figure 1

3. (a) Reka satu penguat (iaitu, tentukan R_G , R_S , V_{DD} dan V_{SS}) dengan skematiknya ditunjukkan dalam Rajah 2 untuk menghasilkan rintangan masukan (R_i) $20\text{ M}\Omega$ dan gandaan keseluruhan (v_o/v_i) 0.95 apabila litar ini memacu satu beban luaran (R_L) $3\text{ k}\Omega$. Operasi litar ialah bagi frekuensi rendah dan sederhana.

Design an amplifier (i.e. determine R_G , R_S , V_{DD} and V_{SS}) with a schematic shown in Figure 2 to give an input resistance (R_i) of $20\text{ M}\Omega$ and an overall gain (v_o/v_i) of 0.95 when driving an external load (R_L) of $3\text{ k}\Omega$. The operation of the circuit is for low to medium frequency.

Diberikan:

Given:

$$K = \mu_n C_{ox} W/L = 20\text{ mA/V}^2$$

Arus salir, $I_D = 5\text{ mA}$

Drain current, $I_D = 5\text{ mA}$

Voltan ambang NMOS, $V_t = 1.5\text{ V}$

NMOS threshold voltage, $V_t = 1.5\text{ V}$

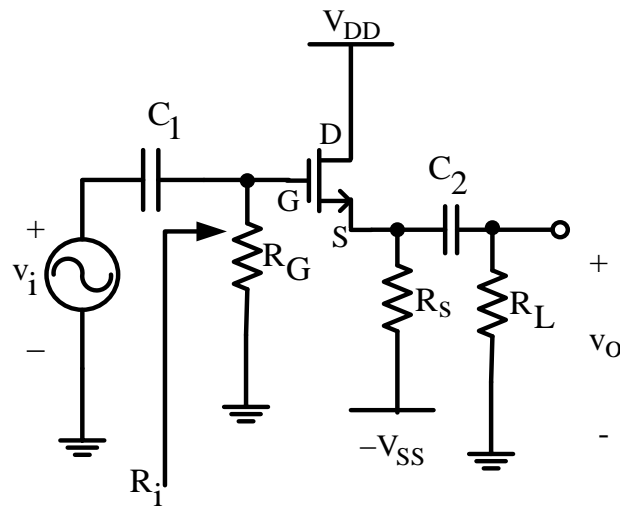
$$V_{DS} = 3.5\text{ V}$$

(70 marks)

- (b) Nyatakan kesan perintang penyahjanaan sumber ke atas transkonduktans satu litar penguat sumber sepunya. Tunjukkan terbitan-terbitan untuk mengesahkan kenyataan anda itu.

State the effect of source degeneration resistor on the transconductance of a common-source amplifier circuit. Show derivations to verify your statement.

(30 marks)

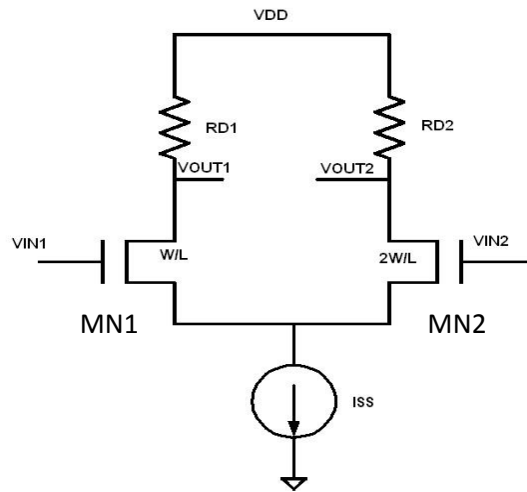


Rajah 2
Figure 2

4. (a) Merujuk Rajah 3(a), dapatkan nisbah g_{m1} kepada g_{m2} .

Refer to Figure 3(a), find the ratio of g_{m1} over g_{m2} .

(50 marks)

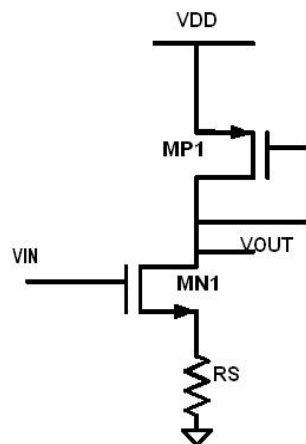


Rajah 3(a)
Figure 3(a)

- (b) Dapatkan persamaan isyarat kecil gandaan voltan di dalam Rajah 3(b).

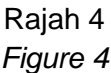
Find small signal gain in Figure 3(b).

(50 marks)



Rajah 3(b)
Figure 3(b)

...7/-



(a) Cari kapasitor di VOUT.

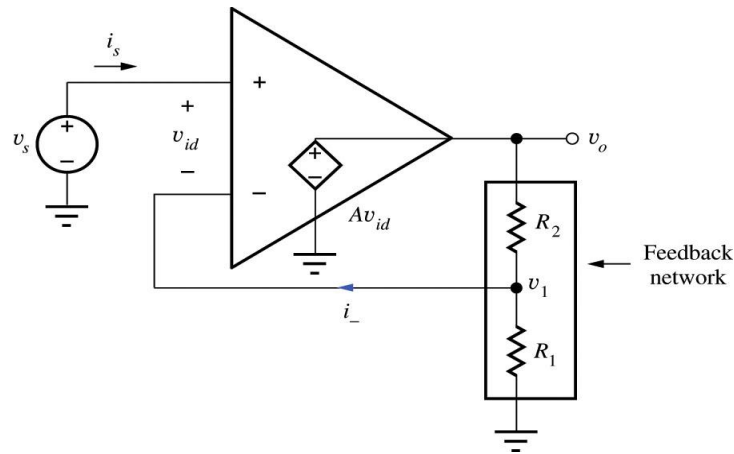
Find total associated capacitance at V_{OUT} . (25 marks)

(b) Dapatkan persamaan gandaan $V_{OUT}/(V_{IN}^+ - V_{IN}^-)$ untuk frekuensi tinggi.
Find high frequency gain expression of $V_{OUT}/(V_{IN}^+ - V_{IN}^-)$.

(75 marks)

6. Rujuk Rajah 5.

Refer to Figure 5.



Rajah 5
Figure 5

- (a) Dapatkan persamaan ralat gandaan pecahan bagi konfigurasi litar tertutup tak terbalik.

Derive from closed loop noninverting configuration, the fractional gain error.

(50 marks)

- (b) Jika litar tertutup mempunyai gandaan 200 dan litar tak tertutup mempunyai gandaan setinggi 80 dB, kirakan ralat pecahan.

If closed loop gain is 200 and open loop gain is 80 dB, calculate the fractional error.

(50 marks)